

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
6. Mai 2005 (06.05.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/041375 A2

(51) Internationale Patentklassifikation: H02H

Graz (AT). MAYERHOFER, Michael [AT/AT]; Dr.
Robert-Sieger-Str. 19, A-8010 Graz (AT).

(21) Internationales Aktenzeichen: PCT/EP2004/011925

(74) Anwalt: EPPING HERMANN FISCHER PATENTAN-
WALTSGESELLSCHAFT MBH; Ridlerstr. 55, 80339
München (DE).(22) Internationales Anmeldedatum:
21. Oktober 2004 (21.10.2004)

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NL, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

(26) Veröffentlichungssprache: Deutsch

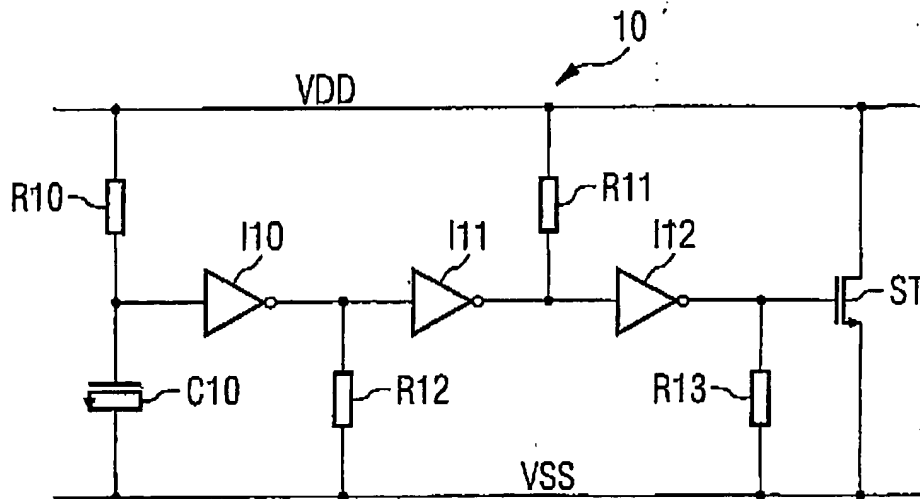
(30) Angaben zur Priorität:
103 49 405.7 21. Oktober 2003 (21.10.2003) DE(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): AUSTRIAMICROSYSTEMS AG [AT/AT]; Schloss
Premstätten, A-8141 Unterpremstätten (AT).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): FANKHAUSER,
Bernd [AT/AT]; Mariagrünerstr. 4/5, A-8043(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
[Fortsetzung auf der nächsten Seite]

(54) Title: ACTIVE PROTECTION CIRCUIT ARRANGEMENT

(54) Bezeichnung: AKTIVE SCHUTZSCHALTUNGSANORDNUNG



(57) Abstract: A circuit arrangement for the protection of integrated semiconductor circuits from electrical pulses or electrical overvoltages is disclosed, comprising an RC element of a first resistor (R1; R10) and a capacitor (C1; C10) in series, wired between two power supply lines (VDD, VSS), with a chain of inverters (I10 - I12), wired one after the other in series, connected on the input side to the connection point of the first resistance (R1; R10) and the capacitance (C1; C10) and with a protection transistor (ST), connected at the control input thereof to the output of the inverter chain and at the output side thereof to the two power supply lines (VDD, VSS).

[Fortsetzung auf der nächsten Seite]

WO 2005/041375 A2